

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: H01L 23/12

(11) Publication No.: P2002-0085378

(43) Publication Date: 16 November 2002

(21) Application No.: 10-2001-0024866

(22) Application Date: 8 May 2001

(71) Applicant:

Samsung Electronics Co., Ltd.

416 Maetan-3-dong, Paldal-gu, Suwon-City, Kyunggi-do, Korea

(72) Inventor:

LEE, DAE SUNG

LEE, DO WOO

SONG, JUNG HO

(54) Title of the Invention:

Printed circuit board having cut line

Abstract:

Provided is a printed circuit board, which enables a degating process to be easily performed after a resin molding process. The printed circuit board has a cut line in a predetermined depth from a surface thereof in a straight line at a position corresponding to a gate of a mold for a ball grid array (BGA) package resin molding. The printed circuit board minimizes a mechanical impact on packaged goods, thereby preventing damage, chip crack, or package crack. Moreover, since the printed circuit board does not require a soft gold plating layer, in contrast to the conventional art, a manufacturing process can be simplified and manufacturing costs can be reduced. Thus, packaged products with high reliability can be obtained using the printed circuit board at low manufacturing costs.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷ (11) 공개번호 특2002-0085378
H01L 23/12 (43) 공개일자 2002년11월 16일

(21) 출원번호 10-2001-0024866
(22) 출원일자 2001년05월08일
(71) 출원인 삼성전자 주식회사
(72) 발명자 경기 수원시 팔달구 매탄3동 416번지 이대성
충청남도 아산시 좌부동85-8초원아파트102동307호 이도우
충청남도 천안시 쌍용동554대우4차아파트1동502호 송정호
(74) 대리인 충청남도 아산시 배방면 북수리산74번지 윤동열, 이선희

심사청구 : 없음

(54) 절단라인을 갖는 인쇄회로기판

요약

본 발명은 수지 성형 공정 후에 디게이팅(degating)이 용이하게 이루어지도록 하는 인쇄회로기판에 관한 것으로서, 비지에이 패키지 수지 성형을 위한 성형 금형의 게이트에 대응되는 위치에서 일직선상에 표면으로부터 일정 깊이로 파여진 절단라인이 형성된 것을 특징으로 한다. 이에 따르면, 키지 성형품으로의 기계적인 충격의 전달이 최소화되어 인쇄회로기판의 손상 및 칩 크랙 또는 패키지 크랙 등의 발생이 방지된다. 또한, 종래와 같이 연금 도금층의 형성이 불필요하여 인쇄회로기판의 제조 공정을 단순화시킬 수 있고 제조 비용이 절감될 수 있다. 따라서, 저렴한 제조비용 및 신뢰성이 우수한 패키지 제품을 얻을 수 있다.

대표도

도3

색인어

인쇄회로기판, PCB, 몰딩, 에폭시 성형 수지, 디게이팅(degating)

영세서

도면의 간단한 설명

도 1은 종래 기술에 따른 인쇄회로기판의 평면도,
도 2는 도 1의 인쇄회로기판을 적용하여 파인피치 비지에이 패키지 성형 공정이 진행되는 상태를 나타낸 단면도,
도 3은 본 발명에 따른 인쇄회로기판의 평면도,
도 4는 본 발명에 따른 인쇄회로기판의 절단라인 부분을 나타낸 측면도,
도 5는 도 3의 인쇄회로기판을 적용하여 파인피치 비지에이 패키지 성형 공정이 진행되는 상태를 나타낸 단면도,
도 6a와 도 6b는 성형 공정 완료 후 디게이팅(degating) 공정을 나타낸 측면도이다.

* 도면의 주요 부분에 대한 부호의 설명 *

5: 반도체 칩 8: 패키지 성형품
10,110: 인쇄회로기판 11,111: 단위 반도체 영역
15: 절단라인 115: 연금 도금층
120: 에폭시 성형 수지 130: 성형금형
135: 캐버티(cavity) 137: 게이트(gate)

139; 컬(cull)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 본 발명은 인쇄회로기판에 관한 것으로서, 더욱 상세하게는 수지 성형 공정 후에 디게이팅(degating)이 용이하게 이루어지도록 하는 인쇄회로기판에 관한 것이다.

비지예이 패키지(BGA; Ball Grid Array)는 인쇄회로기판을 이용함으로써 일면에 외부접속단자로 사용되는 솔더 볼을 일면 전체에 배열 할 수 있기 때문에 다핀화와 소형화 및 실장의 용이함 등의 장점이 있다. 최근 반도체 칩의 고집적화 및 소형화와 패키지 조립 기술의 발달에 따라 도입된 파인피치 비지예이(FBGA; Fine pitch BGA) 패키지는 종래의 비지예이 패키지에 비해 크기와 집적도 면에서 크게 향상된 형태이다. 이러한 파인피치 비지예이 패키지의 경우 열경화성 수지를 이용하여 일정한 패키지 형상을 갖도록 하는 수지 성형(molding) 공정에서 한꺼번에 다수의 단위 패키지에 대하여 그를 성형을 적용할 수 있는 장점에 갖는다. 인쇄회로기판에 복수의 반도체 칩을 실장하여 전기적인 연결을 완료한 후 그를 성형 수지 성형 공정을 거친 후 소잉(sawing)을 하여 단위 패키지를 얻을 수 있는 것이다.

그러나, 파인피치 비지예이 패키지의 특성상 일정한 회로패턴이 형성된 인쇄회로기판 상에 수지 성형을 해야 하기 때문에 패키지 성형 과정의 진행에 있어서 어려운 점이 있다. 성형 금형의 게이트(gate)에 대응되는 인쇄회로기판 부분에 성형 수지가 잔존할 경우 소잉(sawing) 공정과 마아킹(marking) 공정 또는 볼 부착(ball attach) 공정 등이 진행될 때 공정 설비의 공급이 정확하게 진행되지 않아 문제가 발생할 수 있다. 특히, 디게이팅(degating)이라 불리는 수지 성형 후 성형 금형의 컬(cull)과 게이트 부분에 형성되는 성형 수지와 인쇄회로기판의 분리 작업이 용이하지 않다. 보통 이와 같은 문제점을 개선하기 위한 방안으로 연금 도금(soft gold plating)된 인쇄회로기판을 적용하는 기술이 알려져 있다.

도 1은 종래 기술에 따른 인쇄회로기판의 평면도이고, 도 2는 도 1의 인쇄회로기판을 적용하여 파인피치 비지예이 패키지 성형 공정이 진행되는 상태를 나타낸 단면도이다.

도 1과 도 2를 참조하면, 파인피치 비지예이 패키지 제조에 적용되는 종래의 인쇄회로기판(110)은, 일정한 형상의 패키지 성형을 위하여 압축된 에폭시 성형 수지(EMC; Epoxy Molding Compound, 120)를 성형 금형(130)의 캐버티(cavity; 135)에 넣어주기 위하여 에폭시 성형 수지(120)가 흘러 들어가는 성형 금형(130)의 게이트(137) 부분에 대응되는 면에 디게이팅 작업이 용이하도록 연금 도금(soft gold plating)된 금 도금층(115)이 미세한 두께, 예컨대 약 0.5 μ m 두께로 형성된다.

이와 같은 인쇄회로기판(110)은 게이트(137)에 대응되는 부분에 미세한 두께의 금 도금층(115)을 형성함으로써 성형 완료 후에 성형 금형(130)의 컬(cull; 130) 부분과 게이트(137) 부분으로 인하여 형성된 에폭시 성형 수지(120)를 패키지 성형품과 분리하기 위한 디게이팅 작업이 진행될 때 분리 작업이 용이해질 수 있다.

그러나, 금 도금층(115)의 형성을 위한 추가 공정의 투입 및 금 도금층(115)과의 접착을 위한 접착제 사용 등의 문제점으로 인하여 양질의 확실적인 인쇄회로기판의 공급이 어려워 제조상의 어려움이 발생하고 있다. 또한, 컬(139)과 게이트(137) 부분의 에폭시 성형 수지(120)와 패키지 성형품과의 기계적인 분리 작업으로 인한 패키지 크랙(package crack) 등 제조상의 많은 위험성이 내재되어 있다. 패키지 성형품을 상하에서 위치를 고정시킨 후 컬(139)에 의해 형성된 에폭시 성형 수지 부분을 고정된 상태에서 인쇄회로기판(110)의 각도를 일정한 각도로 변경하여 강제로 분리할 때 기계적 충격으로 인하여 인쇄회로기판(110)의 손상 발생 및 내장된 반도체 칩의 크랙(crack) 또는 패키지 크랙(package crack) 등의 발생 등 불안정한 요소가 증가된다. 이러한 문제점은 앞에서 소개한 파인피치 비지예이 패키지 제조에 적용되는 인쇄회로기판 뿐만 아니라 일반적인 비지예이 패키지 제조에 적용되는 인쇄회로기판이 갖는 문제점이기도 하다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은 금 도금층을 형성하지 않고 수지 성형 후에 디게이팅 작업에서 게이트 부분의 성형 수지와 인쇄회로기판과의 분리작업이 용이하도록 하는 인쇄회로기판을 제공하는 데 있다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명에 따른 절단라인을 갖는 인쇄회로기판은, 비지예이 패키지 수지 성형을 위한 성형 금형의 게이트에 대응되는 위치에서 일직선상에 표면으로부터 일정 깊이로 파여진 절단라인이 형성된 것을 특징으로 한다. 디게이팅 작업시에 미리 형성된 절단라인을 따라 절단되도록 함으로써 패키지 성형품에 가해지는 충격을 최소화할 수 있다. 절단라인은 인쇄회로기판의 상면과 하면 모두에 각각 일정 깊이로 파여지도록 하거나 어느 한 면에 형성되도록 할 수 있다. 절단라인의 총 길이는 인쇄회로기판을 고정하기 위한 클램핑을 할 경우에 변형이 발생하지 않는 범위의 수준인 인쇄회로기판의 80~90% 정도가 되도록 하는 것이 용이한 디게이팅 작업을 위하여 바람직하다.

이하 첨부된 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명에 따른 절단라인을 갖는 인쇄회로기판의 실시예를 소개한다.

도 3은 본 발명에 따른 인쇄회로기판의 평면도이고, 도 4는 본 발명에 따른 인쇄회로기판의 절단라인 부분을 나타낸 측면도이며, 도 5는 도 3의 인쇄회로기판을 적용하여 파인피치 비지예이 패키지 성형 공정이 진행되는 상태를 나타낸 단면도이고, 도 6a와 도 6b는 성형 공정 완료 후 디게이팅(degating) 공정을

나타낸 측면도이다.

도 3내지 도 6b를 참조하면, 이 인쇄회로기판(10)은 파인피치 비지에이 패키지용으로서 복수 개의 단위 패키지 영역(11)을 구비하고 있으며, 일측 가장자리 외곽에서 상면과 하면으로부터 인쇄회로기판(10) 두께의 약 80~90% 깊이로 'V'자 형상으로 파여진 절단라인(15)이 형성되어 있다. 이 절단라인(15)은 성형 금형(130)의 게이트(137)에 대응되는 위치에 형성되어 인쇄회로기판(10)의 가장자리에서 일직선상에 위치한다.

인쇄회로기판(10)의 각 단위 패키지 영역(11)에 반도체 칩(5)이 실장되어 전기적인 연결이 완료된 후 성형 금형(130)에 개재된 상태에서 에폭시 성형 수지(120)가 컬(139)로부터 게이트(137)를 거쳐 캐버티(135)로 주입되고 경화된다. 경화가 완료된 후 컬(139)로부터 게이트(137)까지의 경로 상에 형성된 경화된 에폭시 성형 수지(120)를 분리하기 위한 디게이팅 작업이 진행된다.

인쇄회로기판(10)의 절단라인(15) 안쪽 부분을 고정시킨 상태에서 컬(139) 부분의 에폭시 성형 수지(120a)를 상부 또는 하부로 위치 변경하면 게이트(137) 부분의 에폭시 성형 수지(120b)가 인쇄회로기판(10)과 같이 절단라인(15)을 따라 절단된다. 미리 절단라인(15)이 형성되어 있기 때문에 분리가 용이하게 이루어지며 패키지 성형품에 기계적인 충격의 전달이 최소화될 수 있다.

전술한 실시예에서 본 발명에 따른 절단라인을 갖는 인쇄회로기판은 용이한 디게이팅을 위한 절단라인이 인쇄회로기판의 상면과 하면으로부터 소정 깊이로 형성되는 것을 소개하고 있으나 반도체 칩이 실장되는 면, 즉 에폭시 성형 수지로 봉지되는 일면으로부터 형성시키는 것도 가능하다. 그리고, 일직선상에 절단이 잘 이루어지도록 하는 범위 내에서 소정 간격으로 형성될 수도 있고 연속적으로 형성될 수도 있다.

발명의 효과

이상과 같은 본 발명에 따른 절단라인을 갖는 인쇄회로기판에 따르면, 패키지 성형품으로의 기계적인 충격의 전달이 최소화되어 인쇄회로기판의 손상 및 칩 크랙 또는 패키지 크랙 등의 발생이 방지된다. 또한, 종래와 같이 연금 도금층의 형성이 불필요하여 인쇄회로기판의 제조 공정을 단순화시킬 수 있고 제조 비용이 절감될 수 있다. 따라서, 저렴한 제조비용 및 신뢰성이 우수한 패키지 제품을 얻을 수 있다.

(57) 청구의 범위

청구항 1

비에이 패키지 수지 성형을 위한 성형 금형의 게이트에 대응되는 위치의 일직선상에 표면으로부터 일정 깊이로 파여진 절단라인이 형성된 것을 특징으로 하는 절단라인을 갖는 인쇄회로기판.

청구항 2

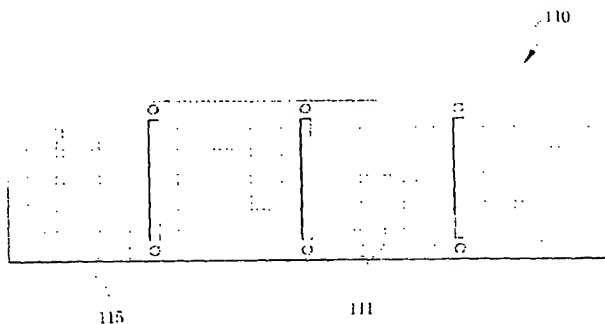
제 1항에 있어서, 상기 절단라인은 상기 인쇄회로기판의 상면과 하면에 모두 형성된 것을 특징으로 하는 절단라인을 갖는 인쇄회로기판.

청구항 3

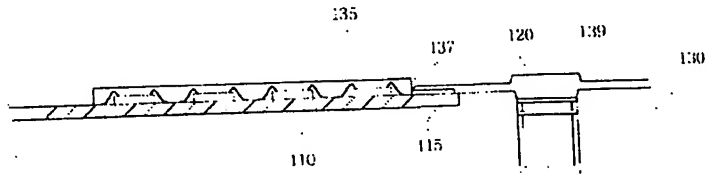
제 1항에 있어서, 상기 절단라인은 총 깊이가 인쇄회로기판 두께의 80~90%인 것을 특징으로 하는 절단라인을 갖는 인쇄회로기판.

도면

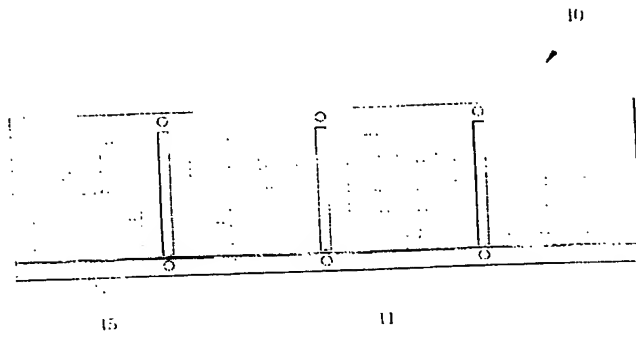
도면1



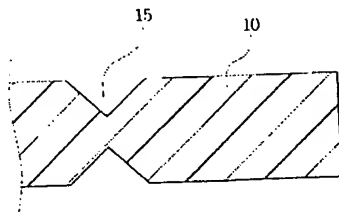
도면2



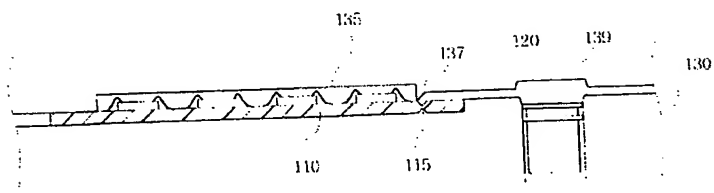
도면3



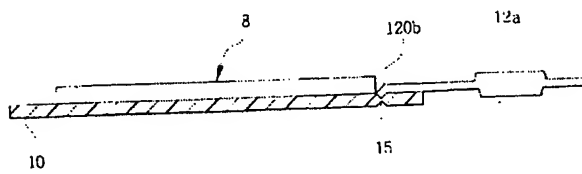
도면4



도면5



도면6a



도면 6b

